

Metodika návrhu v systému QUARTUS II

Vytvoření nového projektu

- a) založení nového projektu (menu File / New Project Wizard)
 - 3x name (directory, project, top-level entity), doporučeno použít 3 shodná jména
 - máme-li zdrojový soubor (*.vhd nebo *.bdf) vybereme ho (File name – Add)
 - specifikace Device (Family: Cyclone III, Device: EP3C5E144C8)
 - others EDA Tools (nic - Finish)
- b) vytvoření zdrojového souboru (pokud ho již nemáme):
 - založení nového souboru (menu File / New / VHDL File
nebo File / New / Block Diagram/Schematic File)
 - vytvoření popisu VHDL nebo zadání schématu
 - uložení souboru (menu File / Save) – „jméno.vhd“ nebo „jméno.bdf“
(jméno volíme shodné se zadaným jménem TopLevel entity projektu)
- c) spuštění překladu (menu Processing / Start Compilation)

Zadávání stavových automatů

- a) založení nového souboru (menu File / New / State Machine File)
- b) spuštění průvodce stavovým automatem (menu Tools / State Machine Wizard) a založení nového návrhu (Create a new state machine design):
 - výběr resetovacího módu a typů výstupů (asynchronní; neregistrový)
 - vložení všech stavů a vstupních portů
 - vyplnění přechodové funkce
 - vložení výstupních portů a vyplnění výstupní funkce
- c) vygenerování souboru v jazyku HDL (menu Tools / Generate HDL File)
 - doporučeno zvolit VHDL
- d) spuštění překladu (menu Processing / Start Compilation)

Simulace

- a) založení nového souboru (menu File / New / Vector Waveform File)
- b) vložení signálů
 - pravé tlačítko myši v levém framu / Insert / Insert Node or Bus
 - tlačítko Node Finder ... (Named: * , Filter: Pins: All) - tlačítko List
(ze seznamu vybereme signály, které chceme zobrazit v simulaci)
 - uložení souboru (menu File / Save) – „jméno“.vwf
(doporučeno zvolit stejné jméno se jménem projektu)
- c) nastavení simulace (menu Assignments / Settings... / Simulator Settings)
 - Simulation Input (vytvořený *.vwf)
 - zatrhnout: „Overwrite simulation input file with simulation results“
 - nastavení koncového času simulace (menu Edit / End Time...)
 - nastavení velikosti rastru (menu Edit / Grid Size...)
 - zadání požadovaných průběhů vstupních signálů pomocí myši,
příp. periodických (hodin) pomocí dialogu
- d) spuštění simulace (menu Processing / Start Simulation)

Nahrání do hradlového pole

- a) specifikace FPGA – většinou zadáno při zakládání projektu (menu Assignments / Device...) – zvolíme Family: Cyclone III, Device: EP3C5E144C8
- b) přiřazení pinů (menu Assignments / Pins) – aby se automaticky načetly IO signály, je nutné mít projekt již zkompileovaný, zápis do polí „Location“ (PIN_číslo, stačí vkládat jen číslo) a „I/O Standard“ (zvolíme 3.3-V LVCMOS)

Popis	Označení	Číslo pinu FPGA	Směr v FPGA
odrušené tlačítko	TL1 – TL4	22,23,24,25	vstupní
neodrušené tlačítko	TL5	91	vstupní
posuvný přepínač	SP1 – SP4	30,31,32,33	vstupní
kódový spínač	DIP1 – DIP8	54,55,58,59,60,64,65,66	vstupní
LED dioda	LED1 – LED8	11,28,10,7,4,3,2,1	výstupní
LED segment1	a,b,c d,e,f,g,dp	136,137,138,141,142,143,144,135	výstupní
LED segment2	a,b,c d,e,f,g,dp	125,126,127,128,129,132,133,124	výstupní
LED segment3	a,b,c d,e,f,g,dp	111,113,114,115,119,120,121,110	výstupní
LED segment4	a,b,c d,e,f,g,dp	98,99,100,103,104,105,106,87	výstupní
piezoměnič	PIEZO	112	výstupní
oscilátor 32 MHz	CLK	88, 90	vstupní
DA převodník	#WR	80	výstupní
DA převodník	DB0 – DB7	71,72,73,74,75,76,77,79	výstupní
AD převodník	#CONVST, #RD	52,49	výstupní
AD převodník	DB0 – DB7	44,39,42,43,46,50,51,53	vstupní
BNC konektor	BNC1, BNC2	69,70	vstupně/výstupní
digit. potenciometr	#INC, U/D	67,68	výstupní
sériová komunikace	TX	38	výstupní
sériová komunikace	RX	34	vstupní

- c) po změně typu FPGA nebo čísel pinů je třeba projekt znovu zkompileovat (menu Processing / Start Compilation)
- d) nastavení programátoru (menu Tools / Programmer)
 - Hardware Setup: ByteBlasterII [LPT1]; Mode: JTAG (vesměs již nastaveno)
- e) spuštění nahrávání - tlačítko Start