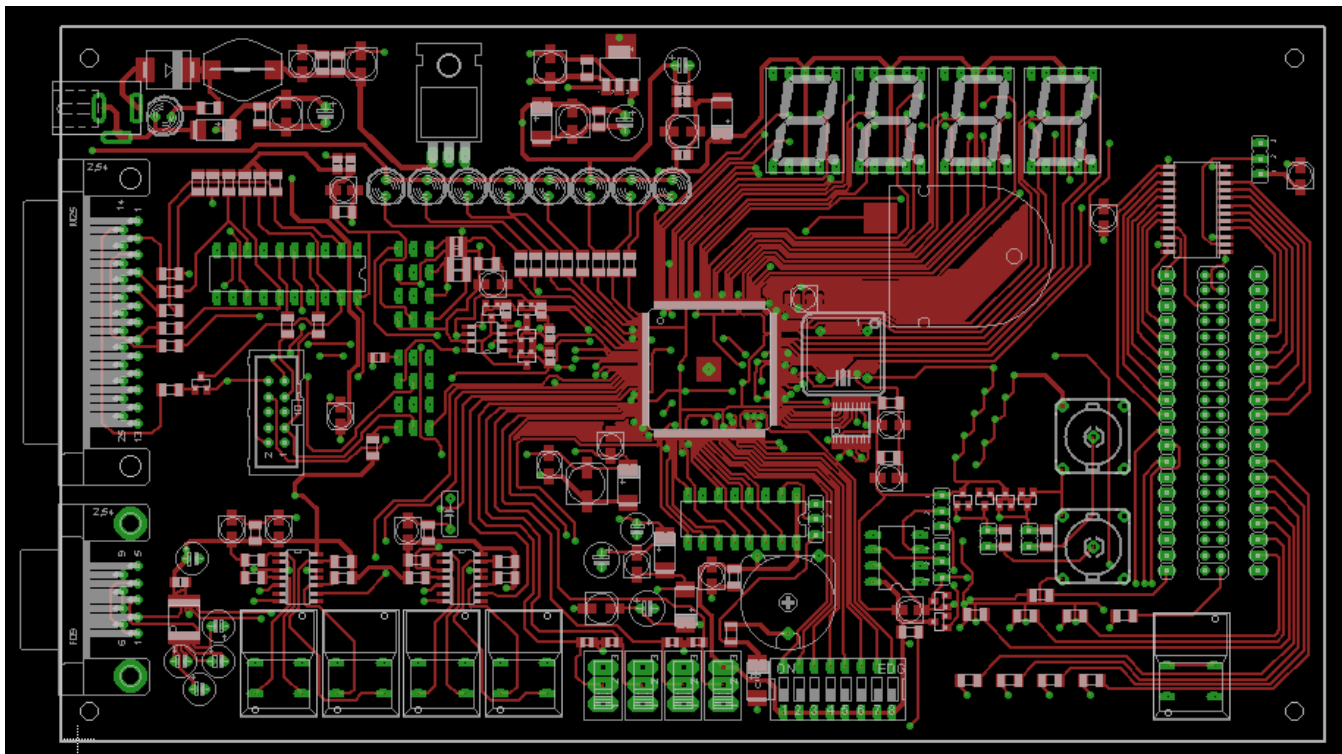


Manuál přípravku FPGA University Board (FUB)

Rozmístění prvků na přípravku



Obr. 1: Rozmístění prvků na přípravku

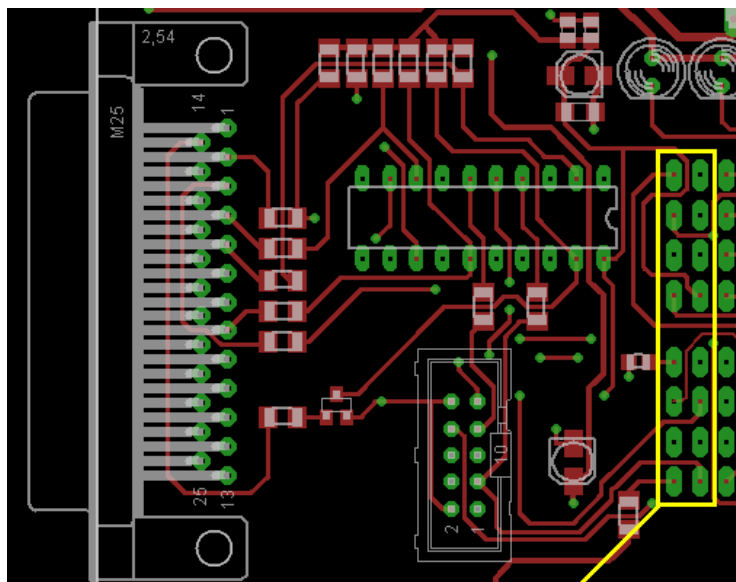
Na obrázku (Obr. 1) je osazený přípravek s FPGA obvodem Altera Cyclone III EP3C5E144C8 a se všemi periferiemi, které budou v následujících kapitolách podrobně popsány.

Nastavení programovací části

Programování hradlového pole je možné dvěma způsoby:

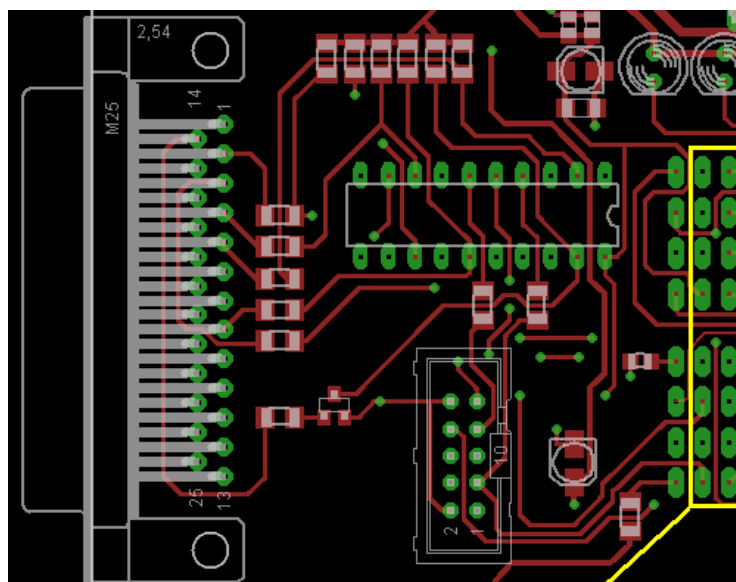
- přímým nahráním vytvořeného programu do FPGA (tzv. JTAG mód). Po vypnutí napájení je program z FPGA vymazán a je nutné jej znova nahrát
- nahráním programu do použité Flash paměti. Z této paměti je program při každém zapnutí napájení nahrán do FPGA (tzv. AS mód)

Na následujících obrázcích (Obr. 2) a (Obr. 3) je znázorněno nastavení jumperů pro oba druhy programovacích módů.



FPGA programováno AS módem

Obr. 2: Nastavení AS módu



FPGA programováno JTAG módem

Obr. 3: Nastavení JTAG módu

Periferní obvody a jejich připojení k FPGA

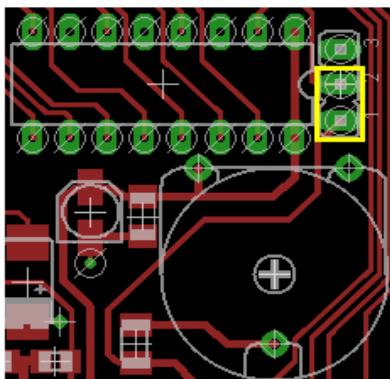
V této kapitole budou popsány všechny použité periferní součástky výukového přípravku, jejich připojení k daným vývodům FPGA, popřípadě jejich nastavení

A/D převodník

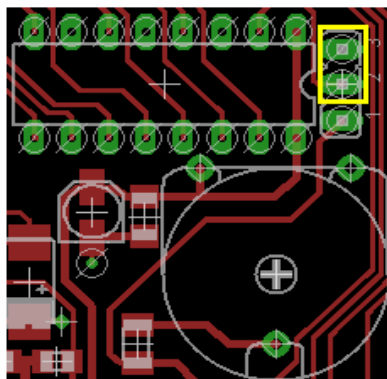
- NASTAVENÍ

Nastavením jumperu je vybírán analogový vstup převodníku. Při nastavení dle obrázku (Obr. 4) je analogovým vstupem hodnota napětí z jezdcy přilehlého potenciometru. Tato hodnota je dle polohy jezdcy nastavitelná od 0 V do 3,3 V.

Při nastavení dle obrázku (Obr. 5) je vstupem externí analog. signál IN_A/D přiváděný ze vstupně/výstupního konektoru (str. 12). Tento signál ovšem nesmí překročit hodnotu napájecího napětí převodníku.



Obr. 4: Analogový vstup – potenciometr



Obr. 5: Analogový vstup - externí zařízení

- POPIS A PŘIPOJENÍ K FPGA

Převodník je schopen převádět vstupní analogovou hodnotu na digitální v rozmezí od 0 V do 3,3 V. Přivedením vyššího nebo nižšího napětí, je převod mimo rozsah. Tento stav může nastat pouze při přivedení externího analogového signálu.

Připojení A/D převodníku k pinům FPGA je popsáno v tabulce (Tab. 1)

Tab. 1: Připojení A/D převodníku k pinům FPGA

<i>periferní součástka - A/D převodník</i>	<i>připojený pin FPGA</i>	<i>Nastavení I/O pinu</i>
/CONVST	52	výstupní
/RD	49	výstupní
DB0	44	vstupní
DB1	39	vstupní
DB2	42	vstupní
DB3	43	vstupní
DB4	46	vstupní
DB5	50	vstupní
DB6	51	vstupní
DB7	53	vstupní

Vstupy /CONVST a /RD převodníku slouží k nastavení převodu. Na vstup /CONVST se přivádí pulzy, kterými se zapisuje vstupní hodnota na výstup. Pokud je vstup /RD připojen do log. 0, tak analogová hodnota na vstupu je převedena na digitální se sestupnou hranou pulzu přivedeného na /CONVST. Je-li /RD nastaveno do log. 1, přejdou výstupy převodníku do stavu vysoké impedance a digitální hodnota vstupního analogového signálu není zobrazena.

D/A převodník

Připojení D/A převodníku k pinům FPGA je popsáno v tabulce (Tab. 2).

Vstupem /WR startujeme převod vstupní digitální informace na výstupní analogovou informaci. Maximální výstupní napětí je 3,3 V, jsou-li vstupy DB0÷DB7 v log. 1. Analogový výstup převodníku OUT_D/A je přiveden na vstupně/výstupní konektor (str. 12).

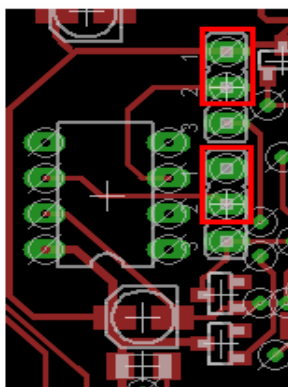
Tab. 2: Připojení D/A převodníku k pinům FPGA

<i>periferní součástka - D/A převodník</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
/WR	80	výstupní
DB0	71	výstupní
DB1	72	výstupní
DB2	73	výstupní
DB3	74	výstupní
DB4	75	výstupní
DB5	76	výstupní
DB6	77	výstupní
DB7	79	výstupní

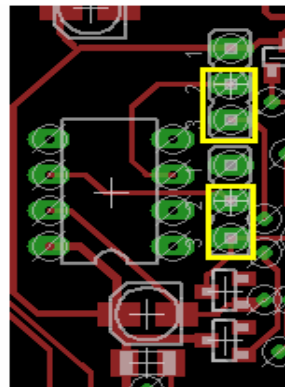
Digitální potenciometr

- NASTAVENÍ

Pomocí jumperu se nastavuje, zda budou vstupy potenciometru H a L připojeny na pevný potenciál ($L = 0\text{ V}$, $H = 3,3\text{ V}$) (viz Obr. 6), nebo do externího zařízení (viz Obr. 7). Vstupní napětí z externího zařízení nesmí být větší než napájecí napětí potenciometru, tedy 3,3 V. Externí signály jsou na vstupy H a L přivedeny ze vstupně/výstupního konektoru přípravku (str. 12).



Obr. 6: Pevné nastavení pinů H a L



Obr. 7: Připojení pinů H a L na externí konektor

- POPIS A PŘIPOJENÍ K FPGA

Změna odporu nastává s příchozím pulzem na vstup /INC. Použitý potenciometr DS1804-050 má vnitřní odpor 50 k Ω a maximální počet pulzů pro změnu odporu z jedné krajní hodnoty do druhé je 100 pulzů. Jeden přivedený pulz tedy znamená změnu o 500 Ω . Vstupem U/D se nastavuje směr změny odporu.

Na vstupy H a L může být přivedeno napětí, mezi které se potenciometr připojuje. Je-li na tyto vstupy přivedeno napětí, potom změnou odporu potenciometru dochází ke změně napětí na jezdcí (pin W). Jezdec potenciometru je přiveden na vstupně/výstupní konektor přípravku (str.13). V následující tabulce (Tab. 3) je popsáno připojení digitálního potenciometru k FPGA.

Tab. 3: Připojení digitálního potenciometru k pinům FPGA

<i>periferní součástka - dig.potenciometr</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
/INC	67	výstupní
U/D	68	výstupní

Krystalový oscilátor

Výstupní frekvence použitého integrovaného krystalového oscilátoru je 32 MHz. K pinům FPGA je připojen dle tabulky (Tab. 4)

Tab. 4: Připojení oscilátoru k pinům FPGA

<i>periferní součástka - krystalový oscilátor</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
frekvence 32 MHz	88, 90	vstupní

Piezoměnič

Použitý piezoměnič je bez vnitřního generátoru. Na vstup piezoměniče musí být pro správnou činnost přiváděny napěťové pulzy určité frekvence. Připojení k pinům FPGA je dle tabulky (Tab. 5)

Tab. 5: Připojení piezoměniče k pinu FPGA

<i>periferní součástka</i>	<i>připojený pin FPGA</i>	<i>Nastavení I/O pinu</i>
piezoměnič	112	výstupní

LED zobrazovače

- LED diody

Jsou rozsvíceny přivedením log. 0 na jejich katodu. Anody všech diod mají společně napájecí napětí a katody jsou připojeny na piny FPGA dle tabulky (Tab. 6).



Obr. 8: Rozmístění LED diod na výukovém přípravku

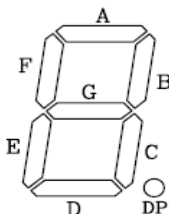
Tab. 6: Připojení LED diod k pinům FPGA

<i>periferní součástka - LED diody</i>	<i>připojený pin FPGA</i>	<i>Nastavení I/O pinu</i>
LED 1	11	výstupní
LED 2	28	výstupní
LED 3	10	výstupní
LED 4	7	výstupní
LED 5	4	výstupní
LED 6	3	výstupní
LED 7	2	výstupní
LED 8	1	výstupní

- LED displeje

Použité LED displeje jsou zapojeny podobně jako LED diody. Anody jednotlivých segmentů jsou společně zapojeny na napájecí napětí 3,3 V. Jednotlivé segmenty se rozsvěcují přivedením log. 0 na jejich katody.

Propojení jednotlivých LED displejů s piny FPGA je v tabulce (Tab. 7) a zobrazení segmentů LED displeje na obrázku (Obr. 9).



Obr. 9: Jednotlivé segmenty LED displejů

Tab. 7: Propojení segmentů LED displejů s piny FPGA

<i>periferní součástka - LED displej4</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
A	98	výstupní
B	99	výstupní
C	100	výstupní
D	103	výstupní
E	104	výstupní
F	105	výstupní
G	106	výstupní
DP	87	výstupní
<i>periferní součástka - LED displej3</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
A	111	výstupní
B	113	výstupní
C	114	výstupní
D	115	výstupní
E	119	výstupní
F	120	výstupní
G	121	výstupní
DP	110	výstupní
<i>periferní součástka - LED displej2</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
A	125	výstupní
B	126	výstupní
C	127	výstupní
D	128	výstupní
E	129	výstupní
F	132	výstupní
G	133	výstupní
DP	124	výstupní
<i>periferní součástka - LED displej1</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
A	136	výstupní
B	137	výstupní
C	138	výstupní
D	141	výstupní
E	142	výstupní
F	143	výstupní
G	144	výstupní
DP	135	výstupní

Ošetřená tlačítka, posuvné přepínače, DIP08, neošetřená tlačítka



Obr. 10: Neošetřená tlačítka, ošetřená tlačítka, posuvné přepínače a DIP 08

- OŠETŘENÁ TLAČÍTKA (modrá)

Tato tlačítka jsou odrušená proti zákmitům pomocí klopného obvodu typu D. Jejich připojení k pinům FPGA je v následující tabulce (Tab. 8). Číslování jde zleva doprava.

Tab. 8: Připojení ošetřených tlačítek k pinům FPGA

<i>periferní součástka – odrušená tlačítka</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
TI 1	22	vstupní
TI 2	23	vstupní
TI 3	24	vstupní
TI 4	25	vstupní

- POSUVNÉ PŘEPÍNAČE

Jsou připojeny přímo k FPGA dle tabulky (Tab. 9). V dolní poloze je na jejich výstupu log. 0, v horní poloze log. 1. Číslovány jsou zleva doprava.

Tab. 9: Připojení posuvných přepínačů k pinům FPGA

<i>periferní součástka – posuvné přepínače</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
Spínač SP 1	30	vstupní
Spínač SP 2	31	vstupní
Spínač SP 3	32	vstupní
Spínač SP 4	33	vstupní

- DIP08 (Kódový spínač)

Připojen přímo k FPGA dle tabulky (Tab. 10). Není-li používán, je možné použít piny FPGA, na které jsou připojeny výstupy DIP08, pro komunikaci se vstupně/výstupním konektorem.

Tab. 10: Připojení kódového spínače DIP08 k pinům FPGA a ke konektoru

<i>periferní součástka - DIP08</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>	<i>spojeno s pinem I/O konektoru lišta 1</i>
DIP1	54	vstupní	EXT 2 pin 5
DIP2	55	vstupní	EXT 2 pin 6
DIP3	58	vstupní	EXT 2 pin 7
DIP4	59	vstupní	EXT 2 pin 8
DIP5	60	vstupní	EXT 2 pin 1
DIP6	64	vstupní	EXT 2 pin 2
DIP7	65	vstupní	EXT 2 pin 3
DIP8	66	vstupní	EXT 2 pin 4

- NEODRUŠENÉ TLAČÍTKO (červené)

Neodrušeným tlačítkem se testují zákmity, které vznikají při spínání. Je připojeno na piny FPGA dle tabulky (Tab. 11).

Tab. 11: Připojení neodrušeného tlačítka k pinům FPGA

<i>periferní součástka - neodrušené tlačítko</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
Tlačítko 5	91	vstupní

Konektory výukového přípravku

Všechny konektory používané na přípravku jsou rozmístěny po stranách tak, aby neomezovaly při ovládání přípravku. Na výukovém přípravku se nachází konektor paralelního portu pro komunikaci přípravku s PC, konektor sériového portu RS232 pro komunikaci FPGA se zařízeními po sériové lince, napájecí konektor pro přivádění vstupního 9 V napětí. Dalšími typy konektorů jsou dutinkové lišty (volné piny FPGA, piny digitálního potenciometru, A/D a D/A převodníku a piny převodníku úrovně), dva BNC konektory pro připojení generátoru, či osciloskopu k FPGA.

- KONEKTOR SÉRIOVÉHO PORTU

Na výukovém přípravku je implementován převodník úrovní ICL3227E pro sériovou komunikaci. Výstup tohoto převodníku T1 OUT jde na druhý pin sériového portu, po kterém informace pokračuje do externího zařízení připojeného přes konektor RS232. Jestliže zařízení odpovídá, vyšle informaci zpět na třetí pin sériového portu. Tato informace pokračuje na vstup převodníku R1 IN, kde je upravena a odeslána do FPGA. Propojení komunikačních pinů převodníku s FPGA je v následující tabulce (Tab. 12).

Tab. 12: Propojení FPGA s převodníkem úrovní pro sériovou komunikaci

<i>periferní součástka - převodník ICL3227E</i>	<i>připojený pin FPGA</i>	<i>nastavení I/O pinu</i>
T1 IN - vstup převodníku (TX)	38	výstupní
R1 OUT - výstup převodníku (RX)	34	vstupní

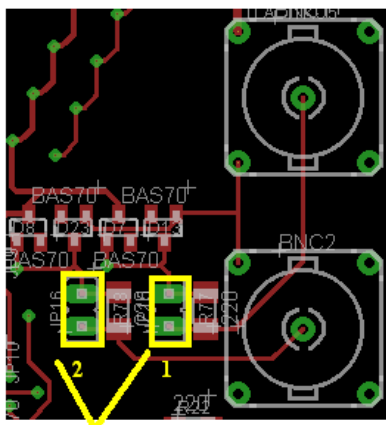
- BNC konektory

Jejich propojení s piny FPGA je v tabulce (Tab. 13).

Všechny vývody FPGA, které zpracovávají externě přiváděné signály, či vysílají signály do externích zařízení, mají ochranný sériový odpor 220 Ω a ochranné Schottkyho diody reagující na přepětí i podpětí přiváděného externího signálu. Pro BNC konektory lze pomocí jumperů (Obr. 11) ochranné odpory zkratovat, aby neovlivňovaly přijímaný či vysílaný signál.

Tab. 13: Propojení BNC konektorů s piny FPGA

<i>konektory - BNC</i>	<i>připojený pin FPGA</i>	<i>funkce pinu</i>
BNC 1	69	vstupně/výstupní
BNC 2	70	vstupně/výstupní



Obr. 11: Zkratování ochranných rezistorů konektorů BNC1 a BNC2

- DUTINKOVÉ LIŠTY

Jsou to konektory pro vstupy externích signálů, popřípadě pro odesílání informací do externích zařízení z připojených pinů FPGA. Hlavními konektory jsou zde dvě 25-pinové dutinkové lišty (Obr. 12). Na ně jsou přivedeny 4 vstupně/výstupní piny, 1 vstupní pin externího hodinového signálu a 8 vstupně/výstupních pinů FPGA závislých na kódovém spínači DIP08 (viz str. 9). Dále je na dutinkové lišty přivedeno napětí V_{CCIO} (3,3 V), V_{CC} (5 V), GND a externí vstup A/D převodníku, výstup D/A převodníku a piny digitálního potenciometru. Pro převod 5 V signálu na 3,3 V, nebo 3,3 V na 5 V slouží převodník úrovní 74LVC4245AD, jehož vstupně/výstupní piny jsou také přivedeny na dutinkové lišty. Směr převodu záleží na nastavení jumperu převodníku úrovní, který je podrobně popsán na straně 13.

V následující tabulce (Tab. 14) jsou popsány všechny piny dutinkové lišty EXT 1 a dutinkové lišty EXT 2 (Obr. 12).

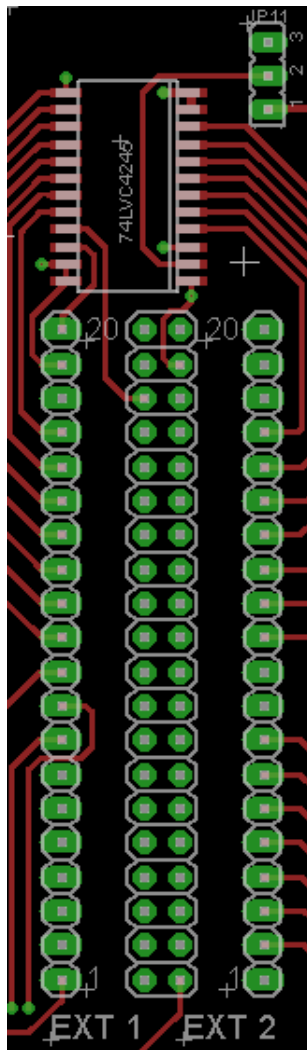
Tab. 14: Piny dutinkové lišty 1 a 2 a jejich funkce

<i>konektor - dutinková lišta EXT 2</i>	<i>funkce</i>	<i>pin FPGA</i>
1	I/O (DIP08)	60
2	I/O (DIP08)	64
3	I/O (DIP08)	65
4	I/O (DIP08)	66
5	I/O (DIP08)	54
6	I/O (DIP08)	55
7	I/O (DIP08)	58
8	I/O (DIP08)	59
9	-	-
10	-	-
11	5V/A7 budič	-
12	5V/A6 budič	-
13	5V/A5 budič	-
14	5V/A4 budič	-
15	5V/A3 budič	-
16	5V/A2 budič	-
17	5V/A1 budič	-
18	5V/A0 budič	-
19	V_{CC} (5 V)	-
20	GND	-

<i>konektor - dutinková lišta EXT 1</i>	<i>funkce</i>	<i>pin FPGA</i>
1	IN A/D	-
2	OUT D/A	-
3	I/O 1	83
4	I/O 2	84
5	I/O 3	85
6	I/O 4	86
7	I CLK	89
8	Dig.pot – L in	-
9	Dig.pot - W out	-
10	Dig.pot – H in	-
11	3,3V/B7 budič	-
12	3,3V/B6 budič	-
13	3,3V/B5 budič	-
14	3,3V/B4 budič	-
15	3,3V/B3 budič	-
16	3,3V/B2 budič	-
17	3,3V/B1 budič	-
18	3,3V/B0 budič	-
19	V_{CCIO} (3,3V)	-
20	GND	-

Funkce pinů „I/O“ znamená, že jsou nastavitelné buď jako vstupní pro příjem externích signálů, nebo jako výstupní pro vysílání signálů do externích zařízení. „I/O (DIP08)“ je téměř totéž, ale tyto piny jsou závislé na nastavení kódového spínače. Není-li tento spínač používán, je možné piny používat stejně jako piny „I/O“.

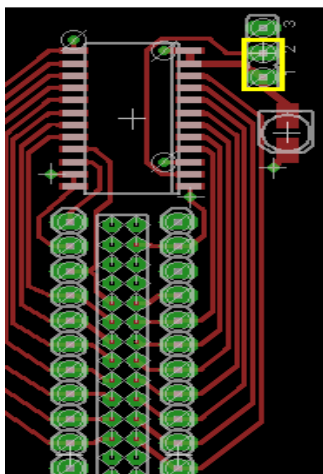
Piny „5V/Ax budič“ jsou piny převodníku úrovní 74LVC4245AD. Přivádíme na ně externí signál v logice 5 V, který je poté tímto převodníkem převeden na logiku 3,3 V. Toto napětí lze odebírat z vývodů „3,3V/Bx budič“. Druhou možností je přivedení signálu v logice 3,3 V na vývod „3,3V/Bx budič“, který bude převeden na logiku 5 V. Toto napětí je možné potom odebírat z vývodů „5V/Ax budič“. Směr převodu závisí na nastavení jumperu převodníku úrovní.



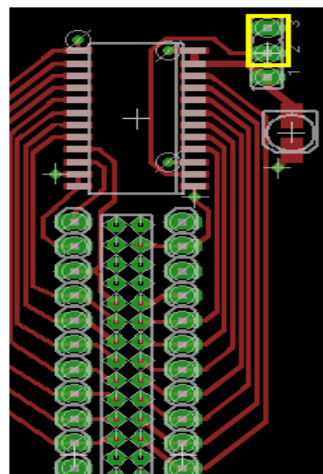
Obr. 12: Rozmístění pinů dutinkové lišty EXT 1 a lišty EXT 2

Nastavení převodníku úrovní 74LVC4245

Nastavením jumperu definujeme směr převádění signálu. Buď se převádí vstupní 3,3 V signál na 5 V (Obr. 13), nebo signál 5 V na 3,3 V (Obr. 14).



Obr. 13: Nastavení převodu 3,3V na 5V



Obr. 14: Nastavení převodu 5V na 3,3V

Pokyny a doporučené postupy při práci s přípravkem

- **Připojování externích vstupů/výstupů**

Pro práci s externími zařízeními je nutné dbát velikosti přiváděných externích signálů. Jestliže jsou využívány piny FPGA pro komunikaci s externími zařízeními jako výstupní, musí být zaručena určitá impedance vstupu externího zařízení. Piny FPGA, používané k externí komunikaci, jsou chráněné sériovým odporem $220\ \Omega$ a Schottkyho diodami proti přepětí, či podpětí vstupujícího externího signálu.

- **Varování pro uživatele**

Pracujeme-li s externími signály, musíme vždy před vypnutím napájení FPGA odpojit všechny zdroje externího napětí. Při neakceptování varování může dojít vlivem externího napětí ke zničení hradlového pole, i když jeho hodnoty nepřekročí povolené meze $0\ \text{V} \div 3,3\ \text{V}$!!!!